

437/40 TFT

AV 1104

02-27320

Jan. 30, 1990

ANS: 1

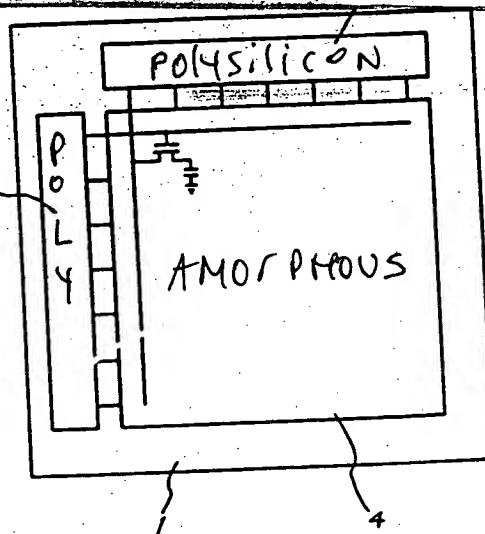
THIN FILM SEMICONDUCTOR DISPLAY DEVICE AND ITS MANUFACTURE

INVENTOR: TAKASHI AOYAMA, et al. (3)  
ASSIGNEE: HITACHI LTD, et al. (30)  
APPL NO: 63-176919  
DATE FILED: Jul. 18, 1988  
PATENT ABSTRACTS OF JAPAN  
ABS GRP NO: P1033  
ABS VOL NO: Vol. 14, No. 173  
ABS PUB DATE: Apr. 5, 1990  
INT-CL: G02F 1/136; H01L 27/12; H01L 29/784

ABSTRACT:

PURPOSE: To display a half tone, and also, to contain a driving circuit in the same substrate by making a crystallinity of a TFT of a channel part of a picture element part lower than a crystallinity of a driving part, and a source and a drain of the picture element part.

CONSTITUTION: A source 2, a drain 3 and a channel area 4 of a peripheral driving part are constituted of polycrystalline silicon (Poly-Si), and a source 2 and a drain 3 of a picture element part, a channel area 5 are constituted of poly-Si, and amorphous silicon (a-Si), respectively. A TFT of a peripheral driving circuit has large carrier mobility, and the circuit is driven easily and can be contained on the same substrate. Also, since the channel area 5 of the picture element part is formed by a-Si, the carrier movement is small, but since the resistivity is  $10^4 \sim 10^5 \Omega \cdot \text{cm}$ , a leak current is small as  $10^{-10} \sim 10^{-12} \text{ A}$ , and a half tone can be displayed.



⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平2-27320

⑬ Int. Cl.<sup>3</sup>

G 02 F 1/136  
H 01 L 27/12  
29/784

識別記号

5 0 0

A

庁内整理番号

7370-2H  
7514-5F

⑭ 公開 平成2年(1990)1月30日

8624-5F

H 01 L 29/78

3 1 1 A

審査請求 未請求 請求項の数 2 (全4頁)

⑮ 発明の名称 薄膜半導体表示装置とその製造方法

⑯ 特 願 昭63-176919

⑰ 出 願 昭63(1988)7月18日

⑱ 発 明 者 青 山

隆

茨城県日立市久慈町4026番地 株式会社日立製作所日立研  
究所内

⑱ 発 明 者 小 池

義 彦

茨城県日立市久慈町4026番地 株式会社日立製作所日立研  
究所内

⑱ 発 明 者 胡

中 行

茨城県日立市久慈町4026番地 株式会社日立製作所日立研  
究所内

⑱ 発 明 者 岡 島

義 昭

茨城県日立市久慈町4026番地 株式会社日立製作所日立研  
究所内

⑲ 出 願 人 株式会社日立製作所

東京都千代田区神田駿河台4丁目6番地

⑳ 代 理 人 弁理士 小川 勝男

外2名

明 細 書

1. 発明の名称

薄膜半導体表示装置とその製造方法

2. 特許請求の範囲

1. 少なくとも、薄膜半導体から成る第1の絶縁素子と画素電極と表示電極から成る画素をマトリクス状に配列した表示部と、前記表示部を制御する薄膜半導体から成る第2の絶縁素子を含む制御回路とを有する薄膜半導体表示装置において、前記第1の絶縁素子チャネル部の結晶性を前記第2の絶縁素子の結晶性および前記第1の絶縁素子のソース、ドレイン部の結晶性よりも低くしたことを特徴とする薄膜半導体表示装置。
2. 前記薄膜半導体表示装置の第1の絶縁素子の不純物の活性化をエネルギービームを用いて1度以上行い、第2の絶縁素子の結晶性の向上および不純物の活性化をおのおの一度以上行うことを特徴とする薄膜半導体表示装置の製造方法。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は薄膜半導体装置に係り、特に、液晶などを用いたアクティブマトリクス方式の表示装置に関する。

(従来の技術)

近年、ガラスなどの透明な絶縁基板上に、低温で形成した半導体薄膜を用いて薄膜トランジスタ(Thin Film Transistors: 以上、TFTと略称する)を形成し、これを用いて液晶を駆動させる表示装置の開発が活発に行なわれている。半導体材料としては、多結晶シリコン(Polycrystalline Silicon: 略してPoly-Si)かアモルファスシリコン(Amorphous Silicon: 略してA-Si)が用いられている。この液晶表示装置を駆動するための回路は、従来、集積回路を用いて外付けしていた。しかしながら、表示装置の価格を低下させるために、駆動回路をTFTで形成し表示装置と同一基板上に内蔵しようとする試みがなされてきている(Solid State Dev. and Mater. Ext. Abst. Tokyo, 1987 p. 55)。このため、半導体材料としては、キャリア移動度の大きいPoly-Siが用いら

れる。Poly-SiはA-Siに比べキャリアの移動度が1桁以上大きいという長所を有する反面、MOS (Metal Oxide Semiconductor) 構造のトランジスタを形成した場合、逆方向リーク電流リーク電流が大きいという短所がある。表示装置におけるTFTの逆方向リーク電流が大きいと、中間調を有する色彩の表示(フルカラー表示)が難しく、せいぜい8色表示(マルチカラー表示)が限度である。つまり、A-Si材料を用いれば中間調表示が可能であるが、周辺回路を外付けしなければならず、一方、Poly-Si材料を用いれば周辺回路を表示装置に内蔵できるが、中間調表示が難しいということになる。このため、A-Si材料を用いてTFTを形成し、周辺回路部分のみをレーザなどの処理を行うことによつてキャリアの移動度を大きくしようとする試みがある。一般に、A-Si材料を用いたTFTは逆スタが構造(例えば、Appl. Phys. Lett., 45, 171 (1984)参照)を有しており、ゲート電を低電圧に保つたままチャネル領域、とりわけゲート絶縁膜とA-Si

との界面領域をレーザアニールすることは難しい。したがって、キャリア移動度が十分に増加せず、周辺回路の駆動も難しい。

(発明が解決しようとする課題)

上記従来技術は、表示装置を形成するためのプロセスについて十分に配慮されておらず、従つて、周辺回路部と画素部に異なつた特性のTFTを分極させることが実際問題として困難であつた。

本発明の目的は、周辺回路を内蔵し、かつ、表示特性のすぐれた表示装置の構造とその製造方法を提供することである。

(課題を解決するための手段)

上記目的は、表示装置の表示部(画素部)のTFTチャネル領域の結晶性を、表示部のTFTソース、ドレイン領域の結晶性、および周辺駆動回路部のTFTの結晶性よりも低くすることによつて達成される。さらに具体的な場合を述べれば、表示装置の周辺駆動回路部分のTFTをPoly-Siで形成し、画素部のTFTでは、ソースとドレイン領域をPoly-Siで、チャネル領域をA-Siで

形成する構造によつて達成される。また、上記目的は、表示装置の周辺回路部分のTFTを形成するのに、レーザなどを用いてA-Siの結晶化と不純物原子の活性化を行い、画素部のTFTを形成するのに、レーザなどを用いて不純物原子の活性化を行う製造方法によつて達成される。

(作用)

本発明の作用を第1図に示すようなコープレーナ型のTFT構造を例に説明する。これらのTFTは $n^+-i-n^+$ 型の構成を有する。周辺駆動回路部のTFTは、第1図(a)に示すように、 $n^+-i-n^+$ 領域がPoly-Siで形成されるため大きなキャリアの移動度を有し、回路の駆動が容易に行なわれる。このTFTには大きな逆方向リーク電流が流れるが、周辺回路における駆動モードのオン、オフは正とゼロの電圧で行われるため、回路の駆動への影響は小さい。画素部のTFTは、第1図(b)に示すように、 $n^+$ 領域はPoly-Siで形成され、 $i$ 領域はA-Siで形成されている。一般に、TFTにおけるキャリアの移動度と逆方

向リーク電流は、それぞれ、チャネル領域のシリコンの結晶性と抵抗率によつて決る。チャネル領域をA-Siで形成しているため、キャリアの移動度は約 $1\text{ cm}^2/\text{Vs}$ と小さいが、抵抗率が $10^7\ \Omega\text{ cm}$ 以上あるためリーク電流は $10^{-13}\text{ A}$ と小さく、中間調表示が可能である。

レーザなどを用いた本発明の製造方法について説明する。ガラス基板上に減圧CVD (Low Pressure CVD: 略してLPCVD) 法によりA-Si膜を形成する。キャッピング用の $\text{SiO}_2$ 膜を堆積させた後、周辺駆動回路形成領域に約 $300\text{ mJ}/\text{cm}^2$ のレーザを照射し、この領域をPoly-Siに変換する。ホト、エッチ工程によつてシリコン膜を島切りした後、ゲート電極用のシリコン膜をLPCVD法により堆積させる。ホト、エッチ工程後、イオン打込み法によりリンを打込む。次に、約 $200\text{ mJ}/\text{cm}^2$ のレーザを周辺駆動回路領域と画素領域の両方に照射し、周辺駆動回路領域のソース、ドレインの不純物原子を活性化させる。また、ゲート領域と画素領域におけるソ

ース、ドレイン領域はA-Siの結晶化と不純物の活性化を同時に行わせる。画素領域のチャネル部は上部がゲート電極でおおわれているため、A-SiはPoly-Siに変換されずに残る。この製造方法によれば、周辺駆動回路部がPoly-Siで構成され、画素部のソース、ドレインはPoly-Siにより、チャネル領域はA-Siにより構成される表示装置が得られる。

#### 【実施例】

以下、本発明の実施例を説明する。

第1図(a)、(b)は、それぞれ、周辺回路部と画素部とに用いられるTFTの断面構造の例を示す。(a)のTFTにおけるソース、ドレイン、チャネル領域はPoly-Siで構成されている。このため、キャリアの移動度は $35 \text{ cm}^2/\text{Vs}$ 、ゲートに $-5 \text{ V}$ の電圧を印加したときの逆方向リーク電流は $5 \times 10^{-11} \text{ A}$ である。(b)のTFTにおけるソースとドレイン領域はPoly-Siで構成されているが、チャネル領域はA-Siで構成されている。このため、キャリアの移動度は約 $1 \text{ cm}^2$

$/\text{Vs}$ と小さいが、ゲート電極に $-5 \text{ V}$ を印加したときの逆方向リーク電流は $3 \times 10^{-11} \text{ A}$ と小さい。(a)、(b)のTFTを、それぞれ、周辺回路部と画素部とに用いると、良好な回路駆動と中間調表示用液晶駆動を行う。

第2図は本発明の製造方法の一例を示す。ガラス基板上にLPCVD法により $550^\circ\text{C}$ でA-Si膜を $8000 \text{ Å}$ 堆積する。キャツピング用の $\text{SiO}_2$ 膜を常圧CVD法により $1000 \text{ Å}$ 堆積させた後、(a)に示すように、周辺回路部のみエキシマレーザ(波長:  $308 \text{ nm}$ , エネルギー:  $300 \text{ mJ}/\text{cm}^2$ )を照射し、A-Si膜をPoly-Si膜に変換する。ホト、エッチ工程の後、ゲート電極用にLPCVD膜を $550^\circ\text{C}$ で $1000 \text{ Å}$ 堆積させる。ホト、エッチ工程の後、イオン打込み法により(P(リン)を $30 \text{ KeV}$ のエネルギーで $5 \times 10^{15}$ のドーズ量を打込む。キャツピング用の $\text{SiO}_2$ 膜を $1000 \text{ Å}$ 堆積させる。(b)、(b)'に示すように、周辺回路部と画素部いずれも $200 \text{ mJ}/\text{cm}^2$ のエキシマレーザを照射する。

これにより、周辺回路部のソース、ドレイン領域の不純物が活性化される。また、(b)と(b)'のゲート電極部と(b)'の画素部のソース、ドレイン領域は不純物の活性化と共にA-Siの結晶化が行なわれる。(b)'の画素部のチャネル領域は、レーザエネルギーがゲート電極部に吸収されるため結晶化は起らない。ホト、エッチ工程の後、配線用のAlを堆積させる。ホト、エッチ工程の後透明電極であるITO (Indium Titan Oxide)を堆積させる。ホト、エッチ工程の後、他一枚のガラス基板(偏光板およびカラーフィルタ付)との間に液晶を封入して表示装置が完成する。第3図に、本実施例上面概略図を示す。周辺回路である走査回路には、シフトレジスタ、レベルシフタ、マルチプレクサが内蔵されている。周辺回路である信号回路には、インバータとマルチプレクサが内蔵されている。表示部には $396 \times 133$ ドットの画素を並べた。開口率は70%である。

以上のような構造とプロセスにより、周辺回路

を同一基板上に内蔵した64色の中間調色彩の表示が可能となる表示装置が得られる。

#### 【発明の効果】

本発明によれば、中間調色彩表示が可能で、周辺回路を同一基板上に内蔵した表示装置を可能にする効果がある。

#### 4. 図面の簡単な説明

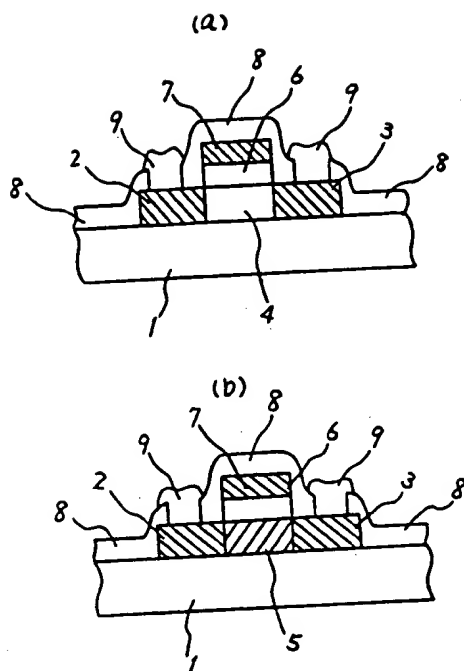
第1図は本発明の一実施例の構造図、第2図は本発明の製造方法の概略図、第3図は本発明の一実施例の平面構造図である。

1…ガラス基板、2…ソース、3…ドレイン、4…チャネル領域(多結晶シリコン)、5…チャネル領域(アモルファスシリコン)、6…ゲート絶縁膜、7…ゲート電極、8…パッシベーション膜、9…アルミ電極、10…LPCVD膜、11…キャツプ膜、12…レーザ光。

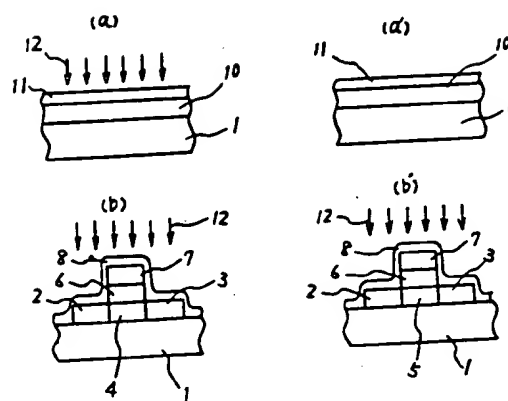
代理人 弁理士 小川勝男



第 1 図



第 2 図



第 3 図

